

SAD
H-2
E-2800

J1017 U.S. PTO
10/040523
01/07/02

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 14378 호
Application Number

출원년월일 : 2001년 03월 20일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

2001 년 04 월 17 일

특 허 청 장
COMMISSIONER

【서류명】 특허출원서
【관리구분】 특허
【수신처】 특허청장
【제출일자】 2001 03.20
【발명의 명칭】 셀로우트렌치 소자분리방법
【발명의 영문명칭】 Method for Forming Shallow Trench Isolation
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박영우
【대리인코드】 9-1998-000230-2
【포괄위임등록번호】 1999-030203-7
【발명자】
【성명의 국문표기】 김경현
【성명의 영문표기】 KIM, Kyung Hyun
【주민등록번호】 680505-1066932
【우편번호】 137-770
【주소】 서울특별시 서초구 반포본동 반포주공아파트 25동 205호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】

【기본출원료】	20 면	29.000 원
【가산출원료】	8 면	8.000 원
【우선권주장료】	0 건	0 원
【심사청구료】	18 항	685.000 원
【합계】		722.000 원

【첨부서류】 1. 요약서·명세서(도면) 1통

【요약서】

【요약】

셀로우 트렌치 소자분리 방법이 개시되어 있다. 반도체 기판 상에 패드 산화막을 형성하고, 상기 패드 산화막 상에 제1 저지막 및 제2 저지막을 차례로 형성한다. 상기 제2 저지막, 제1 저지막, 패드 산화막 및 기판을 식각하여 제2 저지막 패턴, 제1 저지막 패턴, 패드 산화막 패턴 및 트렌치를 형성한다. 상기 트렌치의 내면 상에 트렌치 내벽산화막을 형성한다. 상기 결과물 상에 질화막 라이너를 형성한다. 상기 트렌치의 내부에 필드 산화막을 형성한다. 상기 제2 저지막 패턴을 선택적으로 제거하여 상기 제1 저지막 패턴을 노출시킨다. 상기 제1 저지막 패턴을 제거한다. 상기 제2 저지막 패턴에서 화학 기계적 연마 공정이 정지되기 때문에, 상기 제1 저지막 패턴은 화학 기계적 연마에 의한 패턴 침식이 진행되지 않는다. 따라서, 제1 저지막 패턴의 두께 균일성을 유지할 수 있으므로 후속의 인산 스트립 공정시 액티브 영역과 필드 영역의 표면 경계에서 발생하는 라이니 덴트를 감소시킬 수 있다.

【대표도】

도 3g

【명세서】

【발명의 명칭】

셀로우트렌치 소자분리 방법 {Method for Forming Shallow Trench Isolation}

【도면의 간단한 설명】

도 1a 내기 도 1d는 종래의 셀로우 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 2a 내기 도 2f는 종래의 다른 방법에 의한 셀로우 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 3a 내기 도 3h는 본 발명에 의한 셀로우 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판 102 : 패드 산화막 패턴

104 : 제1 지지막 패턴 106 : 제2 지지막 패턴

108 : 하드 마스크 패턴 110 : 트렌치

112 : 트렌치 내벽산화막 114 : 질화막 라이너

115 : 캡매립 산화막 116 : 필드 산화막

118 : 게이트 산화막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 소자분리 방법에 관한 것으로, 보다 상세하게는 라이너 텐트(liner dent)를 감소시킬 수 있는 셀로우 트렌치 소자분리(shallow trench isolation) 방법에 관한 것이다.
- <12> 통상적으로, 소자분리 구조는 실리콘 부분 산화법(LOCAl Oxidation of Silicon: LOCOS)과 같은 열적 필드 산화 공정을 사용하여 형성된다. LOCOS 소자분리에 의하면, 먼저 실리콘 기판 상에 산화막 및 질화막을 차례로 형성한 후, 질화막을 패터닝한다. 다음에, 패터닝한 질화막을 산화 방지 마스크로 사용하여 실리콘 기판을 선택적으로 산화시켜 필드 산화막을 형성한다. LOCOS 소자분리에 의하면, 실리콘 기판의 선택적 산화시 마스크로 사용되는 질화막 하부에서 산화막의 측면으로 산소가 침투하면서 필드 산화막의 끝부분에 버즈 비크(bird's beak)가 발생하게 된다. 이러한 버즈 비크에 의해 필드 산화막이 버즈 비크의 길이만큼 액티브 영역으로 확장되기 때문에, 액티브 영역의 폭이 감소되어 소자의 전기적 특성이 열화되는 문제가 발생하게 된다.
- <13> 이에 따라, 초고집적 반도체 장치에서는 셀로우 트렌치 소자분리(STI) 구조가 각광받고 있다. 셀로우 트렌치 소자분리 공정에 의하면, 실리콘 기판을 식각하여 트렌치를 형성한 후, 트렌치를 채우도록 산화막을 증착한다. 다음에, 산화막을 에치백(etch back) 또는 화학 기계적 연마(chemical mechanical polishing: CMP) 방법으로 식각하여 트렌치의 내부에 필드 산화막을 형성한다.

- <14> 도 1a 내지 도 1d는 종래의 셀로우 트랜치 소자분리 방법을 설명하기 위한 단면도들이다.
- <15> 도 1a를 참조하면, 실리콘 기판(10) 상에 패드 산화막을 형성한 후, 상기 패드 산화막 상에 질화막 및 고온 산화막(high temperature oxide layer)을 차례로 증착한다. 상기 질화막은 후속하는 화학 기계적 연마 공정시 연마 저지막(stopping layer)으로 제공되며, 상기 고온 산화막은 하드 마스크층으로 제공된다.
- <16> 이어서, 상기 고온 산화막 상에 실리콘 산질화물(SiON)을 증착하여 반사 방지층(anti-reflective layer)(도시하지 않음)을 형성한 후, 액티브 패턴을 정의하기 위한 사진식각 공정을 진행하여 고온 산화막 패턴(16)을 형성한다.
- <17> 상기 고온 산화막 패턴(16)을 식각 마스크로 이용하여 상기 질화막 및 패드 산화막을 식각하여 질화막 패턴(14) 및 패드 산화막 패턴(12)을 형성한 후, 계속해서 상기 질화막 패턴(14)에 인접한 기판(10)의 상부를 식각하여 트랜치(18)를 형성한다.
- <18> 이어서, 트랜치 식각 공정 동안에 고에너지의 이온 충격으로 야기된 실리콘 손상(damage)을 큐어링하기 위하여 트랜치(18)의 노출된 부분을 산화 분위기에서 열처리한다. 그러면, 노출된 실리콘과 산화제와의 산화 반응에 의해, 트랜치(18)의 바닥면과 측벽을 포함하는 내면 상에 트랜치 내벽산화막(20)이 형성된다. 그 후, 누설 전류의 발생을 억제하고 게이트 산화막의 특성을 향상시키기 위하여 상기 결과물 상에 질화막 라이너(22)를 증착한다. 필요할 경우, 후속하는 캡매립 산화막의 증착시 상기 질화막 라이너(22)가 손상되는 것을 방지하기 위하여 질화막 라이너(22) 상에 산화막(23)을 증착할 수도 있다.

<19> 도 1b를 참조하면, 상기 트렌치(18)를 재우도록 화학 기상 증착 방법으로 산화막(23)을 형성한 후, 상기 질화막 패턴(14)의 상부 표면이 노출될 때까지 상기 CVD-산화막(23)을 화학 기계적 연마(CMP) 방법으로 제거한다. 그 결과, 트렌치(18)의 내부에 필드 산화막(24)이 형성된다.

<20> 도 1c를 참조하면, 인산 스트립 공정으로 상기 질화막 패턴(14)을 제거한다. 통상적으로 CMP 공정은 하지막을 구성하는 패턴의 크기, 밀도 및 단차에 따라 그 연마 특성이 민감하게 달라지게 된다. 따라서, 연마 대상층인 CVD-산화막(23)의 하부에 존재하는 액티브 패턴, 즉 질화막 패턴(14)의 밀도 차이로 인하여 CMP 공정시 웨이퍼의 각 지점에서 상기 CVD-산화막(23)의 연마량이 달라지게 된다. 그 결과, CMP 공정이 완료된 후 웨이퍼 내에서 질화막 패턴(14)의 잔류 두께 차이 및 필드 산화막(24)의 두께 차이가 발생하게 된다.

<21> 이러한 두께 차이를 고려하여 인산 스트립 공정시 질화막 패턴(14)의 최대 두께를 고려하여 상기 질화막 패턴(14)을 제거하게 된다. 이때, 상기 질화막 패턴(14)을 완전히 제거하기 위하여 과도 식각(over etch)을 진행하게 되는데, 과도 식각시 트렌치(18)의 측벽에 형성되어 있는 질화막 라이너(22)도 인산에 의해 식각되어 인산 스트립 공정이 완료된 후 액티브 영역과 필드 영역의 표면 경계에서 라이너 덴트(A부분 참조)가 발생한다.

<22> 도 1d는 액티브 영역과 필드 영역의 경계부(A)를 확대 도시한 단면도로서, 습식 세정 공정을 진행한 후 액티브 영역의 표면에 게이트 산화막(26)을 형성하는 단계를 도시한다. 상기 질화막 패턴(14)의 스트립 공정 및 세정 공정으로 인해 필드 산화막(24)이 약 200~500Å의 두께만큼 소모된다. 또한, 인산 스트립 공정시 발생한 라이너 덴트가

후속하는 세정 공정에 의해 더욱 확장되어 필드 산화막(24)에 그루부(G)를 형성하게 되고, 이러한 그루부는 누설 전류의 원인으로 작용하게 된다.

<23> 상술한 문제를 해결하기 위하여 질화막 라이너의 풀백(pull back) 공정이 제안되었으며, 도 2a 내지 도 2f를 참조하여 상기 방법에 대해 설명하고자 한다.

<24> 도 2a를 참조하면, 실리콘 기판(50) 상에 패드 산화막을 형성한 후, 상기 패드 산화막 상에 질화막 및 고온 산화막을 차례로 증착한다. 상기 질화막은 후속하는 화학 기계적 연마 공정시 연마 저지막으로 제공되며, 상기 고온 산화막은 하드 마스크층으로 제공된다.

<25> 이어서, 상기 고온 산화막 상에 실리콘 산질화물(SiON)을 증착하여 반사 방지층(도시하지 않음)을 형성한 후, 액티브 패턴을 정의하기 위한 사진식각 공정을 진행하여 고온 산화막 패턴(56)을 형성한다. 상기 고온 산화막 패턴(56)을 식각 마스크로 이용하여 상기 질화막 및 패드 산화막을 식각하여 질화막 패턴(54) 및 패드 산화막 패턴(52)을 형성한 후, 계속해서 상기 질화막 패턴(54)에 인접한 기판(50)의 상부를 식각하여 트렌치(58)를 형성한다. 이때, 상기 질화막 패턴(54)의 바(bar) 임계치수(critical dimension)는 액티브 바의 임계치수와 동일하다.

<26> 도 2b를 참조하면, 웨이퍼를 인산에 약 6초 동안 살짝 담근다. 그러면, 질화막 패턴(54)이 수직 및 수평 방향으로 식각되어 질화막 패턴(54)의 바 임계치수(a)가 액티브 바의 임계치수(b)보다 작아지게 된다.

<27> 도 2c를 참조하면, 트렌치 식각 공정 동안에 고에너지의 이온 충격으로 야기

된 실리콘 손상을 큐어링하기 위하여 트렌치(58)의 노출된 부분을 산화 분위기에서 열처리한다. 그러면, 노출된 실리콘과 산화제와의 산화 반응에 의해, 트렌치(58)의 바닥면과 측벽을 포함하는 내면 상에 트렌치 내벽산화막(60)이 형성된다. 그 후, 누설 전류의 발생을 억제하고 게이트 산화막의 특성을 향상시키기 위하여 상기 결과물 상에 질화막 라이너(62)를 증착한다.

<28> 도 2d를 참조하면, 상기 트렌치(58)를 채우도록 화학 기상 증착 방법으로 산화막(63)을 형성한 후, 상기 질화막 패턴(54)의 상부 표면이 노출될 때까지 상기 CVD-산화막(63)을 화학 기계적 연마(CMP) 방법으로 제거한다. 그 결과, 트렌치(58)의 내부에 필드 산화막(64)이 형성된다.

<29> 도 2e를 참조하면, 인산 스트립 공정으로 상기 질화막 패턴(54)을 제거한다.

<30> 도 2f를 참조하면, 케미칼을 이용하여 기판을 세정한 후, 액티브 영역의 표면에 게이트 산화막(66)을 형성한다. 상기 질화막 패턴(54)의 스트립 공정 및 세정 공정으로 인해 필드 산화막(64)이 약 200~500 Å의 두께만큼 소모된다.

<31> 상술한 질화막 라이너 풀백 공정에 의하면, 질화막 라이너(62)가 액티브 바와 질화막 패턴 바의 임계치수 차이만큼 횡방향으로 액티브 영역 위에 형성되어 있는 상태에서 인산 스트립 공정을 실시한다. 따라서, 인산 스트립 공정시 액티브 영역 위의 질화막 라이너가 식각되면서 트렌치(58) 측벽의 질화막 라이너는 식각되지 않으므로, 액티브 영역과 필드 영역의 표면 경계에서 라이너 덴트의 발생을 감소시킬 수 있다. 그러나, 라이너 풀백 공정은 CMP 공정에 의한 질화막 패턴(54)의 산류두께 불균일성을 내재하고 있기 때문에 라이너 덴트를 근본적으로 감소시키지 못한다. 또한, 인산 디핑(dipping) 공정에

의해 질화막 패턴(54)의 크기를 축소시켰기 때문에, 결과적으로 액티브 영역의 면적이 감소하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<32> 따라서, 본 발명의 목적은 라이너 덴트의 발생을 최소화할 수 있는 셀로우 트렌치 소자분리 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<33> 상기한 본 발명의 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 패드 산화막을 형성하는 단계; 상기 패드 산화막 상에 제1 저지막을 형성하는 단계; 상기 제1 저지막 상에 제2 저지막을 형성하는 단계; 상기 제2 저지막, 제1 저지막, 패드 산화막 및 기판을 식각하여 제2 저지막 패턴, 제1 저지막 패턴, 패드 산화막 패턴 및 트렌치를 형성하는 단계; 상기 트렌치의 내면 상에 트렌치 내벽산화막을 형성하는 단계; 상기 결과물 상에 질화막 라이너를 형성하는 단계; 상기 트렌치의 내부에 필드 산화막을 형성하는 단계; 상기 제2 저지막 패턴을 선택적으로 제거하여 상기 제1 저지막 패턴을 노출시키는 단계; 및 상기 제1 저지막 패턴을 제거하는 단계를 구비하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법을 제공한다.

<34> 또한, 본 발명의 상기 목적은 반도체 기판 상에 패드 산화막을 형성하는 단계; 상기 패드 산화막 상에 제1 저지막을 형성하는 단계; 상기 제1 저지막 상에 임의의 식각 공정에 대해 상기 제1 저지막을 구성하는 물질과 선택비를 갖는 물질로 이루어진 제2 저지막을 형성하는 단계; 상기 제2 저지막, 제1 저지막, 패드 산화막 및 기판을 식각하여 제2 저지막 패턴, 제1 저지막 패턴, 패드 산화막 패턴 및 트렌

치를 형성하는 단계: 상기 트렌치의 내면 상에 트렌치 내벽산화막을 형성하는 단계: 상기 결과물 상에 질화막 라이너를 형성하는 단계: 상기 트렌치를 매립하도록 캡매립 산화막을 형성하는 단계: 상기 캡매립 산화막을 상기 제2 저지막 패턴의 표면까지 화학 기계적 연마로 제거하는 단계: 상기 제2 저지막 패턴을 선택적으로 제거하여 상기 제1 저지막 패턴을 노출시키는 단계: 및 상기 제1 저지막 패턴을 제거하는 단계를 구비하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법에 의해 달성될 수 있다.

<35> 본 발명에 의하면, 화학 기계적 연마(CMP) 공정에 대한 저지막을 기존의 1층 구조에서 2층 구조로 변경하고, 제2 저지막을 후속의 화학 기계적 연마(CMP) 공정에 대해 캡매립 산화막과 10:1 이상의 선택비를 갖는 물질로 형성한다. 화학 기계적 연마 공정으로 필드 산화막을 형성한 후, 제1 저지막 또는 질화막 라이너와의 선택비를 갖는 케미칼을 이용하여 제2 저지막 패턴을 선택적으로 제거한다.

<36> 상기 제2 저지막 패턴에서 화학 기계적 연마 공정이 정지되기 때문에, 제1 저지막 패턴은 화학 기계적 연마에 의한 패턴 침식이 진행되지 않는다. 따라서, 상기 제1 저지막 패턴의 두께 균일성을 유지할 수 있으므로 후속의 인산 스트립 공정시 과도 식각 시간을 크게 감소시킬 수 있어 트렌치 측벽의 질화막 라이너는 거의 식각되지 않는다. 그러므로, 액티브 영역과 필드 영역의 표면 경계에서 발생하는 라이너 덴트를 감소시킬 수 있다.

<37> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<38> 도 3a 내지 도 3h는 본 발명에 의한 셀로우 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

<39> 도 3a를 참조하면, 실리콘과 같은 반도체 기판(100) 상에 열산화 공정으로 패드 산화막(101)을 약 100~200Å의 두께로 형성한 후, 상기 패드 산화막(101) 상에 저압 화학 기상 증착(low pressure chemical vapor deposition: LPCVD) 방법으로 질화막을 약 100~1000Å의 두께로 증착하여 제1 저지막(103)을 형성한다. 상기 제1 저지막(103)은 후속하는 화학 기계적 연마(CMP) 공정시 연마 저지막으로 제공된다.

<40> 이어서, 상기 제1 저지막(103) 상에 후속의 화학 기계적 연마(CMP) 공정에 대해 선풍매립 산화막과 10:1 이상의 선택비를 갖는 물질을 약 100~1000Å의 두께로 증착하여 제2 저지막(105)을 형성한다. 상기 제2 저지막(105)은 후속의 화학 기계적 연마(CMP) 공정시 연마 저지막으로 제공되며, 후속의 습식 또는 건식 식각 공정에 대해 상기 제1 저지막(103) 또는 질화막 라이너와 높은 선택비를 가져야 한다. 바람직하게는, 상기 제1 저지막(103)은 질화물(SiN)로 형성하고, 상기 제2 저지막(105)은 실리콘 산질화물(SiON) 또는 폴리실리콘으로 형성한다.

<41> 이어서, 상기 제2 저지막(105) 상에 고온 산화막(HTO)을 저압 화학 기상 증착(LPCVD) 방법에 의해 약 500~1000Å의 두께로 증착하여 하드 마스크층(107)을 형성한 후, 그 위에 실리콘 산질화물(SiON)을 저압 화학 기상 증착(LPCVD) 방법에 의해 약 200~800Å의 두께로 증착하여 반사 방지층(도시하지 않음)을 형성한다. 상기 반사 방지층은 후속하는 사진 공정시 빛의 난반사를 방지하는 역할을 하며, 후속하는 트랜지스터 형성시 제거된다.

<42> 도 3b를 참조하면, 액티브 패턴을 형성하기 위한 사진식각 공정에 의해 상기 반사 방지층 및 하드 마스크층(107)을 건식 식각하여 하드 마스크 패턴(108)을 형성한다. 이어서, 상기 하드 마스크 패턴(108)을 식각 마스크로 이용하여 상기 제2 저지막(105)을

제1 저지막(103) 및 패드 산화막(101)을 건식 식각하여 제2 저지막 패턴(106), 제1 저지막 패턴(104) 및 패드 산화막 패턴(102)을 형성한다. 계속해서, 상기 하드 마스크 패턴(108)을 이용하여 노출된 기판(100)을 약 2000~5000Å 정도의 깊이로 식각하여 트렌치(110)를 형성한다. 이때, 상기 반사 방지층이 제거되고 상기 하드 마스크 패턴(108)도 소정 두께만큼 식각된다.

<43> 도 3c를 참조하면, 트렌치 식각 공정 동안에 고에너지의 이온 충격으로 야기된 실리콘 손상을 큐어링하기 위하여 트렌치(110)의 노출된 부분을 산화 분위기에서 열처리한다. 그러면, 노출된 실리콘과 산화제와의 산화 반응에 의해, 트렌치(110)의 바닥면과 측벽을 포함하는 내면 상에 약 20~300Å의 두께로 트렌치 내벽산화막(112)이 형성된다.

<44> 이어서, 후속 공정에서 증착되어지는 막들, 예컨대 캡매립 산화막이나 캡핑 산화막으로부터 탄소(C)나 수소(H)와 같은 불순물들이 액티브 영역의 엣지로 확산되어 누설 전류를 발생시키거나 게이트 산화막의 특성을 열화시키는 것을 방지하기 위하여 상기 결과물의 전면에 질화막 라이너(114)를 저압 화학 기상 증착(LPCVD) 방법에 의해 약 30~200Å의 두께로 증착한다. 필요할 경우, 후속하는 캡매립 산화막의 증착시 상기 질화막 라이너(114)가 손상되는 것을 방지하기 위하여 질화막 라이너(114) 상에 산화막(도시하지 않음)을 약 700~750°C의 온도에서 약 100Å의 두께로 증착한다.

<45> 도 3d를 참조하면, 상기 트렌치(110)를 채우도록 USG, O_3 -TEOS USG 또는 고밀도 플라즈마(HDP) 산화막과 같은 캡 매립 특성이 우수한 산화막을 화학 기상 증착 방법에 의해 약 5000Å의 두께로 증착하여 캡매립 산화막(115)을 형성한다. 바람직하게는, SiH_4 , O_2 및 Ar 가스를 플라즈마 소오스로 이용하여 고밀도 플라즈마를 발생시킴으로써 고밀도 플라즈마 산화막을 형성한다.

<46> 이어서, 상기 캡매립 산화막(115) 상에 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 를 소오스로 하는 플라즈마 방식에 의해 PE-TEOS로 이루어진 캡핑 산화막(도시하지 않음)을 증착할 수 있다. 또한, 필요한 경우에, 상기 캡매립 산화막(115)을 치밀화(densification)하여 후속하는 세정 공정에 대한 습식 식각율을 낮추기 위하여 약 800~1050°C의 고온 및 불활성 가스 분위기 하에서 어닐링을 실시할 수 있다.

<47> 이어서, 상기 제2 지지막 패턴(106)의 상부 표면까지 상기 캡매립 산화막(115)을 화학 기계적 연마(CMP) 방법으로 제거하여 상기 트렌치(110)의 내부에 평탄화된 필드 산화막(124)을 형성한다. 이때, 상기 제2 지지막 패턴(106)이 PE-SiON으로 형성되었을 경우에는, 화학 기계적 연마 공정에 사용되는 특정 슬러리(slurry)에 대해 상기 캡매립 산화막(115)과 10:1 이상의 선택비를 가지며 후속하는 습식 식각 공정시 산화막 및 질화막 대비 20:1 이상의 선택비를 갖는다. 또한, 상기 제2 지지막 패턴(106)이 폴리실리콘으로 형성되었을 경우에도, 화학 기계적 연마 공정에 대해 10:1 이상의 선택비를 가지며 후속의 습식 식각 공정시 산화막 및 질화막 대비 10:1 이상의 선택비를 갖는다.

<48> 도 3e를 참조하면, 상기 제2 지지막 패턴(106)을 습식 식각 또는 건식 식각 방법에 의해 선택적으로 제거하여 제1 지지막 패턴(104)을 노출시킨다. 바람직하게는, 상기 제2 지지막 패턴(106)과 제1 지지막 패턴(104) 간의 선택비가 10:1 이상의 값을 갖는 케미칼을 이용한 습식 식각 방법으로 제2 지지막 패턴(106)을 제거한다. 이때, 상기 제2 지지막 패턴(106)이 PE-SiON으로 형성되었을 경우에는 과산화수(H_2O_2), 불산(HF) 및 초순수(DI water)의 혼합물을 사용하여 제2 지지막 패턴(106)을 선택적으로 제거한다. 또한, 상기 제2 지지막 패턴(106)을 폴리실리콘으로 형성하였을 경우에는 폴리실리콘 에천트를 이용하여 제2 지지막 패턴(106)을 선택적으로 제거한다.

- <49> 이때, 상기 제2 저지막 패턴(106)을 제거하기 위한 케미칼이 질화물로 이루어진 제1 저지막 패턴(104)에 대한 식각 능력이 없다면, 도 3e에 도시한 바와 같이 제2 저지막 패턴(106)과 필드 산화막(116)의 사이, 즉 필드 산화막(116)의 측벽에 질화막 라이너(114)가 잔존하게 된다
- <50> 도 3f를 참조하면, 인산 스트립 공정으로 상기 제1 저지막 패턴(104)을 제거한다. 이때, 제1 저지막 패턴(104)을 완전히 제거하기 위해 과도 식각을 실시하게 된다.
- <51> 본 실시예에 의하면, 필드 산화막(116)의 측벽에 질화막 라이너(114)가 잔존하는 경우, 제1 저지막 패턴(104)을 제거하기 위한 인산 스트립 공정시 노출되어 있는 필드 산화막(116) 측벽의 질화막 라이너(114)가 식각되면서 트렌치(110) 측벽의 질화막 라이너(114)는 식각되지 않는다(B부분 참조). 따라서, 액티브 영역과 필드 영역의 표면 경계에서 라이너 덴트가 발생하지 않는다.
- <52> 또한, 상기 제2 저지막 패턴(106)을 제거하기 위한 케미칼이 질화물로 이루어진 제1 저지막 패턴(104)도 함께 식각하여 필드 산화막(116)의 측벽에 질화막 라이너(114)가 잔존하지 않을 경우에도 라이너 덴트가 발생할 확률은 매우 적다. 즉, 상기 필드 산화막(116)의 형성을 위한 화학 기계적 연마(CMP) 공정이 제2 저지막 패턴(106)의 표면에서 정지되기 때문에, 제1 저지막 패턴(104)은 CMP 공정에 의한 패턴 침식(erosion)을 받지 않아 그 두께가 균일하게 잔존한다. 또한, 본 발명에서는 2층 구조의 저지막을 사용하기 때문에 제1 저지막 패턴(104)의 두께는 종래의 1층 구조로 이루어진 저지막에 비해 얇다. 따라서, 상술한 인산 스트립 공정이 진행되는 제1 저지막 패턴(104)의 두께가 얇고 균일하기 때문에 과도 식각 시간을 크게 감소시킬 수 있다. 그 결과, 습식 식각 시간이 크게 감소되어 트렌치(110) 측벽의 질화막 라이너(114)는 거의 식각되지 않는다

<53> 도 3g를 참조하면, 케미칼을 이용하여 기판을 세정한 후, 액티브 영역의 표면에 게이트 산화막(118)을 형성한다. 상기 제1 저지막 패턴(104)의 스트립 공정 및 세정 공정으로 인해 필드 산화막(116)이 약 200~500Å의 두께만큼 소모된다.

<54> 도 3h는 도 3g의 "B" 영역을 확대 도시한 단면도로서, 액티브 영역과 필드 영역의 표면 경계에서 라이너 덴트가 발생하지 않았음을 나타내고 있다.

【발명의 효과】

<55> 상술한 바와 같이 본 발명에 의하면, 화학 기계적 연마(CMP) 공정에 대한 저지막을 기존의 1층 구조에서 2층 구조로 변경하고, 상부 저지막(즉, 제2 저지막)을 후속의 화학 기계적 연마(CMP) 공정에 대해 겹매립 산화막과 10:1 이상의 선택비를 갖는 물질로 형성한다. 화학 기계적 연마 공정으로 필드 산화막을 형성한 후, 하부 저지막(즉, 제1 저지막) 또는 질화막 라이너와의 선택비를 갖는 케미칼을 이용하여 상부 저지막을 선택적으로 제거한다.

<56> 상기 제2 저지막에서 화학 기계적 연마 공정이 정지되기 때문에, 상기 제1 저지막은 화학 기계적 연마에 의한 패턴 침식이 진행되지 않는다. 따라서, 제1 저지막의 두께 균일성을 유지할 수 있으므로 후속의 인산 스트립 공정시 과도 식각 시간을 크게 감소시킬 수 있어 트렌치 측벽의 질화막 라이너는 거의 식각되지 않는다. 그러므로, 액티브 영역과 필드 영역의 표면 경계에서 발생하는 라이너 덴트를 감소시킬 수 있다.

<57> 또한, 제1 저지막 또는 질화막 라이너에 대한 식각 능력이 없는 케미칼을 이용할 경우, 제2 저지막을 선택적으로 제거할 때 제2 저지막과 필드 산화막과의 사이에 질화막 라이너가 잔존하게 되므로 후속하는 제1 저지막의 인산 스트립 공정시 필드 산화막 측벽

의 질화막 라이너가 제거되면서 트렌치 측벽의 질화막 라이너는 식각되지 않는다. 따라서, 라이너 텐트의 공정 마진을 크게 증가시킬 수 있다.

<58> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허 청구범위】

【청구항 1】

반도체 기판 상에 패드 산화막을 형성하는 단계;

상기 패드 산화막 상에 제1 저지막을 형성하는 단계;

상기 제1 저지막 상에 제2 저지막을 형성하는 단계;

상기 제2 저지막, 제1 저지막, 패드 산화막 및 기판을 식각하여 제2 저지막 패턴, 제1 저지막 패턴, 패드 산화막 패턴 및 트렌치를 형성하는 단계;

상기 트렌치의 내면 상에 트렌치 내벽산화막을 형성하는 단계;

상기 결과물 상에 절화막 라이너를 형성하는 단계;

상기 트렌치의 내부에 필드 산화막을 형성하는 단계;

상기 제2 저지막 패턴을 선택적으로 제거하여 상기 제1 저지막 패턴을 노출시키는 단계; 및

상기 제1 저지막 패턴을 제거하는 단계를 구비하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 2】

제1항에 있어서, 상기 제1 저지막은 절화물로 형성하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 3】

제1항에 있어서, 상기 제2 저지막은 상기 화학 기계적 연마에 대해 상기 감대립 산

화택과 10:1 이상의 선택비를 갖는 물질로 형성하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 4】

제3항에 있어서, 상기 제2 저지막은 실리콘 산질화물(SiO_x) 또는 폴리실리콘으로 형성하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 5】

제1항에 있어서, 상기 제2 저지막 패턴을 제거하는 단계는 건식 식각으로 수행하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 6】

제1항에 있어서, 상기 제2 저지막 패턴을 제거하는 단계는 상기 제2 저지막과 제1 저지막 간의 선택비가 10:1 이상의 값을 갖는 케미칼을 이용하여 습식 식각으로 수행하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 7】

제6항에 있어서, 상기 제2 저지막을 실리콘 산질화물로 형성하는 경우, 과산화수(H_2O_2), 불산(HF) 및 초순수(DI water)의 혼합물을 사용하여 상기 제2 저지막 패턴을 선택적으로 제거하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 8】

제6항에 있어서, 상기 제2 저지막을 폴리실리콘으로 형성하는 경우, 폴리실리콘 에 산트를 사용하여 상기 제2 저지막 패턴을 선택적으로 제거하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 9】

제1항에 있어서, 상기 제1 저지막 패턴을 제거하는 단계는 습식 식각으로 수행하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 10】

제1항에 있어서, 상기 트렌치의 내부에 필드 산화막을 형성하는 단계는, 상기 트렌치를 매립하도록 갭매립 산화막을 형성하는 단계 및 상기 갭매립 산화막을 상기 제2 저지막 패턴의 표면이 노출될 때까지 화학 기계적 연마로 제거하는 단계를 구비하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 11】

반도체 기판 상에 패드 산화막을 형성하는 단계;

상기 패드 산화막 상에 제1 저지막을 형성하는 단계;

상기 제1 저지막 상에 임의의 식각 공정에 대해 상기 제1 저지막을 구성하는 물질과 선택비를 갖는 물질로 이루어진 제2 저지막을 형성하는 단계;

상기 제2 저지막, 제1 저지막, 패드 산화막 및 기판을 식각하여 제2 저지막 패턴, 제1 저지막 패턴, 패드 산화막 패턴 및 트렌치를 형성하는 단계;

상기 트렌치의 내면 상에 트렌치 내벽산화막을 형성하는 단계;

상기 결과물 상에 질화막 라이너를 형성하는 단계;

상기 트렌치를 매립하도록 갭매립 산화막을 형성하는 단계;

상기 갭매립 산화막을 상기 제2 저지막 패턴의 표면까지 화학 기계적 연마로 제거하는 단계;

상기 제2 저지막 패턴을 선택적으로 제거하여 상기 제1 저지막 패턴을 노출시키는 단계; 및

상기 제1 저지막 패턴을 제거하는 단계를 구비하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 12】

제11항에 있어서, 상기 제1 저지막은 질화물로 형성하고, 상기 제2 저지막은 실리콘 산질화물(SiON) 또는 폴리실리콘으로 형성하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 13】

제11항에 있어서, 상기 제2 저지막은 상기 화학 기계적 연마에 대해 상기 꺾매립 산화막과 10:1 이상의 선택비를 갖는 물질로 형성하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 14】

제11항에 있어서, 상기 제2 저지막 패턴을 제거하는 단계는 건식 식각으로 수행하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【청구항 15】

제11항에 있어서, 상기 제2 저지막 패턴을 제거하는 단계는 상기 제2 저지막과 제1 저지막 간의 선택비가 10:1 이상의 값을 갖는 케네칼을 이용하여 습식 식각으로 수행하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【장구항 16】

제15항에 있어서, 상기 제2 저지막을 실리콘 산질화물로 형성하는 경우, 과산화수(H_2O_2), 불산(HF) 및 초순수(DI water)의 혼합물을 사용하여 상기 제2 저지막 패턴을 선택적으로 제거하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【장구항 17】

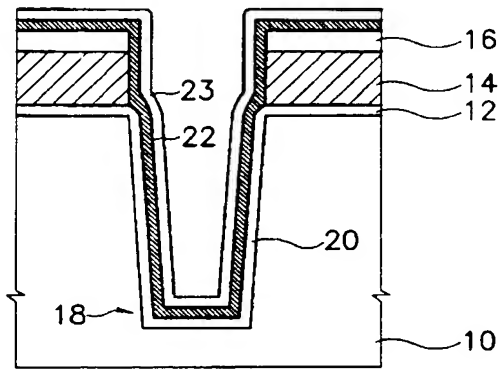
제15항에 있어서, 상기 제2 저지막을 폴리실리콘으로 형성하는 경우, 폴리실리콘 에전트를 사용하여 상기 제2 저지막 패턴을 선택적으로 제거하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【장구항 18】

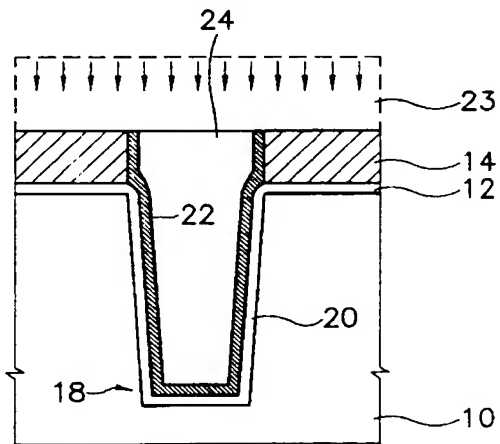
제11항에 있어서, 상기 제1 저지막 패턴을 제거하는 단계는 습식 식각으로 수행하는 것을 특징으로 하는 셀로우 트렌치 소자분리 방법.

【도면】

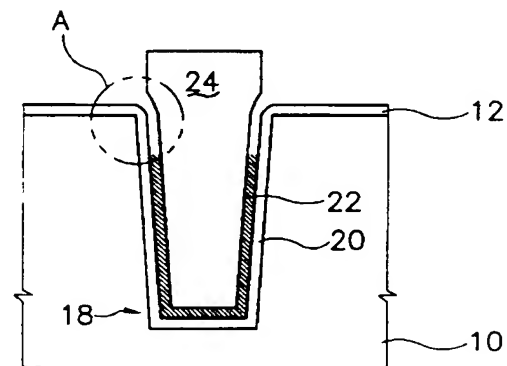
【도 1a】



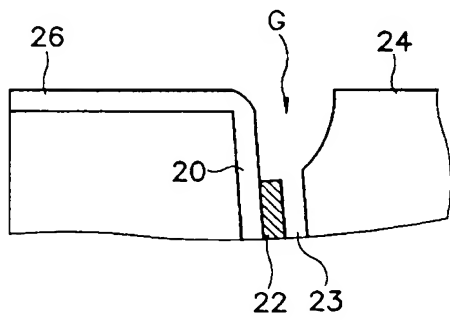
【도 1b】



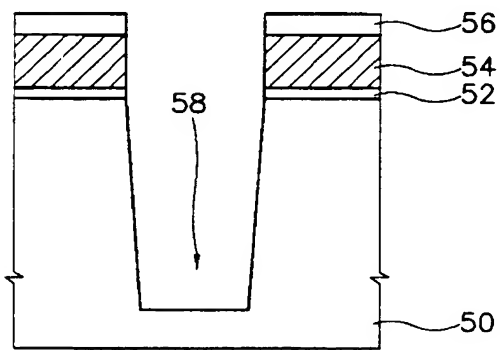
【도 1c】



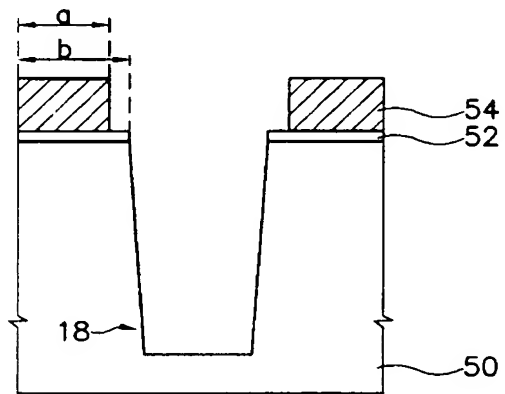
【도 1d】



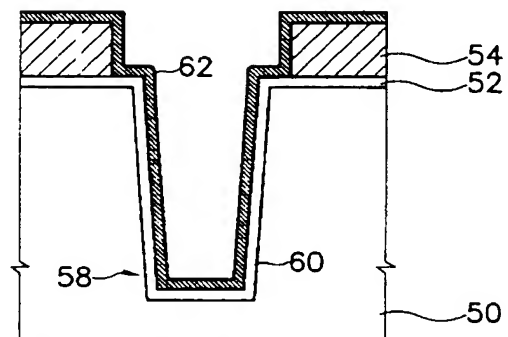
【도 2a】



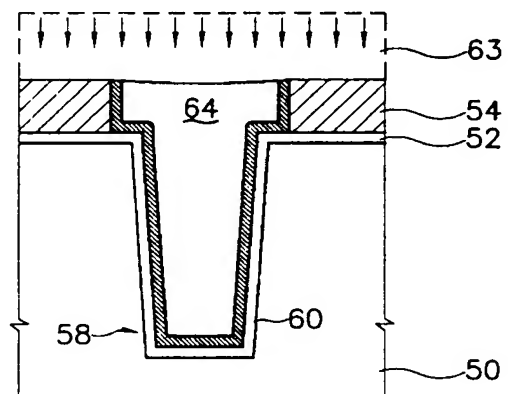
【도 2b】



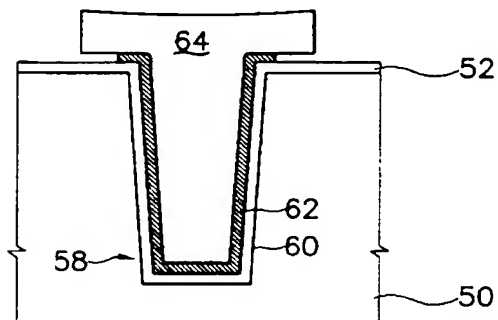
【図 2c】



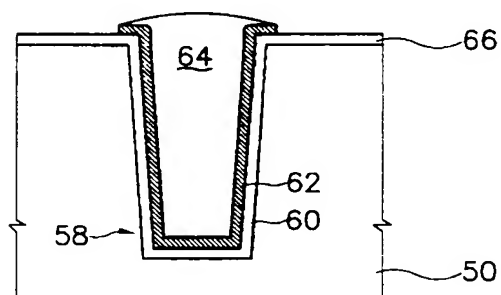
【図 2d】



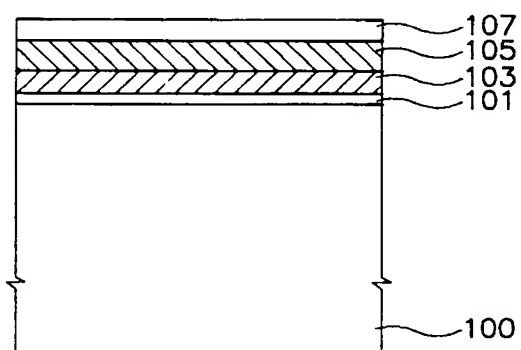
【図 2e】



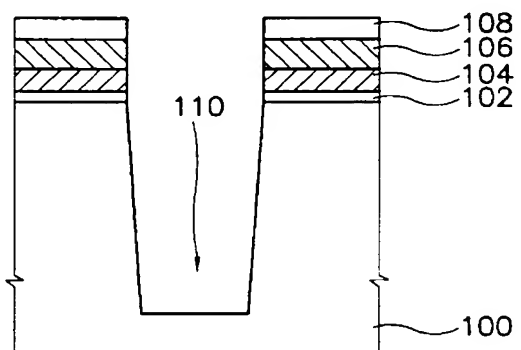
【도 2f】



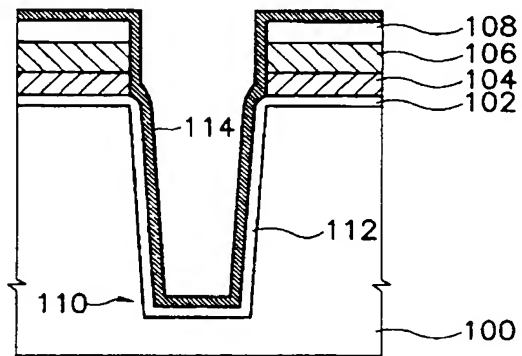
【도 3a】



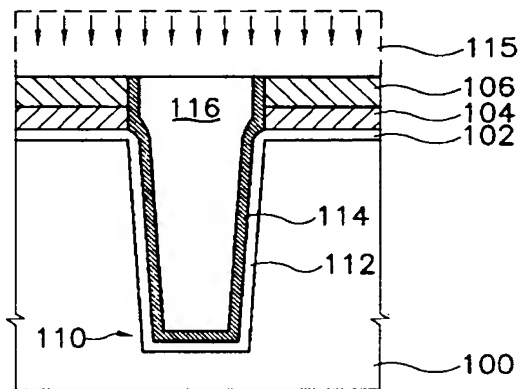
【도 3b】



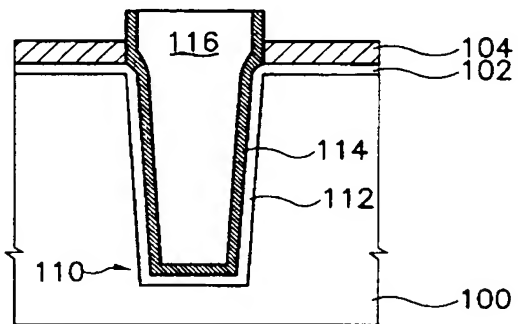
【도 3c】



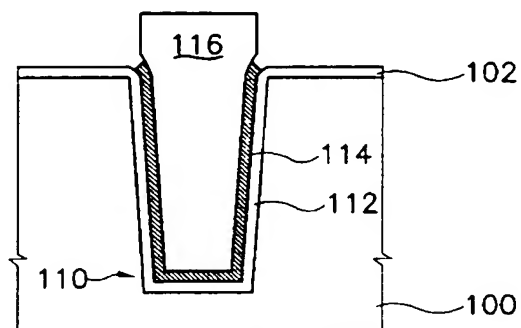
【도 3d】



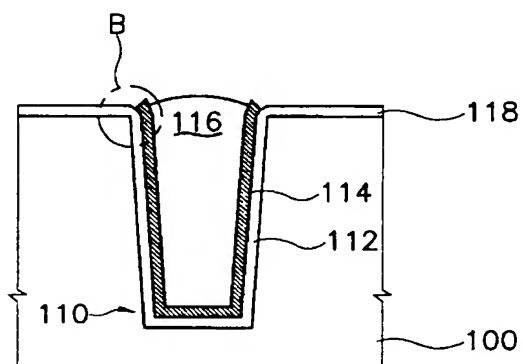
【도 3e】



【도 3f】



【도 3g】



【도 3h】

